

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-228061
 (43)Date of publication of application : 11.09.1990

(51)Int.Cl. H01L 27/00

(21)Application number : 01-048997 (71)Applicant : NIPPON TELEGR & TELEPH CORP
 <NTT>

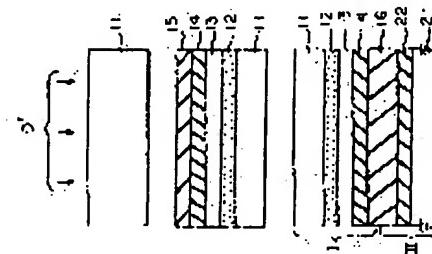
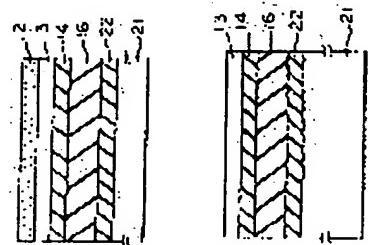
(22)Date of filing : 01.03.1989 (72)Inventor : IMAI KAZUO
 NAKAJIMA SADAO

(54) MANUFACTURE OF SOI SUBSTRATE

(57)Abstract:

PURPOSE: To improve yield rate and characteristics by joining an insulator formed on a first main face in a first substrate with an insulator formed on a first main face in a second substrate, and removing silicon and an insulating film on the second main face side of the first substrate.

CONSTITUTION: By implanting ions into the first main face side of a first substrate 11 consisting of silicon, an insulating layer is formed as the lower layer at the specified silicon depth at the first main face, and an insulator 14 is formed on the first main face in the first substrate. Also, an insulating film 22 is formed on the first main face of a second substrate 21 consisting of silicon. And the insulator, which is formed on the first main face in the first substrate 11, and the insulator, which is formed on the first main face in the second substrate 21, are joined. Next, silicon on the second main face side of the first substrate is removed, and an insulating film 12, which is formed by ion implantation, on the second main face of the first substrate 11 is removed. Hereby, the quantity of ion implantation can be decreased, crystal defects can be removed, and electric characteristics and yield rate can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑪ 公開特許公報 (A) 平2-228061

⑫ Int. Cl.⁵
H 01 L 27/00

識別記号 301 S 庁内整理番号 7514-5F

⑬ 公開 平成2年(1990)9月11日

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 S O I 基板の製造方法

⑮ 特願 平1-48997

⑯ 出願 平1(1989)3月1日

⑰ 発明者 今井 和雄 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発明者 中嶋 定夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代理人 弁理士 山川 政樹 外1名

明細書

1. 発明の名称

S O I 基板の製造方法

2. 特許請求の範囲

(1) シリコンからなる第1の基板の第1の主面側にイオン注入することにより、第1の主面における所定のシリコン深さ位置に絶縁層を形成する工程と、

前記第1の基板における第1の主面上に絶縁物を形成する工程と、

シリコンからなる第2の基板の第1の主面上に絶縁膜を形成する工程と、

前記第1の基板における第1の主面上に形成した絶縁物と前記第2の基板における第1の主面上に形成した絶縁物とを接合する工程と、

前記第1の基板の第2の主面側のシリコンを除去する工程と、

前記第1の基板の第2の主面側の前記イオン注入により形成された絶縁膜を除去する工程とを有することを特徴とするS O I 基板の製造方法。

(2) シリコンからなる基板の第1の主面側にイオン注入することにより、第1の主面における所定のシリコン深さ位置に絶縁層を形成する工程と、

前記第1の主面上に絶縁物を形成した後、前記基板と略同一の厚さに多結晶シリコンを形成する工程と、

前記基板の第2の主面側のシリコンを除去する工程と、

前記基板の第2の主面側の前記イオン注入により形成された絶縁膜を除去する工程とを有することを特徴とするS O I 基板の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、シリコン酸化膜等の絶縁膜上に単結晶シリコン膜を形成するS O I (Silicon On Insulator) 基板の製造方法に関し、特に膜厚の均一性及び結晶性が良好なS O I 基板の製造方法に関するものである。

(従来の技術)

従来、酸素イオン注入法を用いたS O I 基板の

製造方法として、SIMOX(Separation by Implanted Oxygen)法が検討されている。

第6図(a), (b)は従来のSIMOX法を用いたSOI基板の製造方法を示した断面図である。

この方法は、同図(a)に示すようにシリコン基板61に酸素イオン(O⁺)をイオン注入する。そして、同図(b)に示すようにシリコン基板61表面にシリコン層63を残して埋め込まれた酸化膜(SiO₂)62を形成することによりSOI基板を実現するものである。

また、他のSOI基板の製造方法として、2つのシリコン基板を絶縁物を介して接着し、一方のシリコン基板を薄層化する方法が提案されている。

第7図(a), (b)は2つのシリコン基板を接着してSOI基板を製造する方法を示した断面図である。

この方法は、第1の基板となる高濃度不純物のシリコン基板73上に低濃度不純物のシリコン膜74を結晶成長させる。一方、第2の基板となる

シリコン基板71上に酸化膜72を形成する。そして、同図(a)に示すように2つの基板を接着する。その後、同図(b)に示すように高濃度不純物のシリコン基板73のエッチング速度が速い性質を利用して薄層化し、SOI基板を形成するものである。

(発明が解決しようとする課題)

しかしながら従来のSOI基板の製造方法は、下記のような欠点があった。

まず、第6図に示したSIMOX法の場合、シリコン基板61の表面に残されたシリコン層63における膜厚の均一性は良好であるが、酸化膜62を形成するために多量の酸素(O²⁻)イオン($2 \times 10^{14} / \text{cm}^2$ 以上)を注入しているため、 $10^9 \sim 10^{10}$ ケ/ cm^2 程度の結晶欠陥が生じるという欠点があった。周知のように結晶欠陥は、素子の電気特性の不均一性や歩留まりの劣化の原因となるため極力減少させる必要がある。

次に、第7図に示した方法の場合、イオン注入を用いないため良好な結晶性を有するシリコン層

を得ることができるが、シリコン基板73のエッチング速度差を十分に大きくとれないと、均一に薄層化することができないという欠点があった。

(課題を解決するための手段)

本発明は上記の欠点を解決するためになされたもので、シリコンからなる第1の基板の第1の主面側にイオン注入することにより、第1の主面における所定のシリコン深さの下層に絶縁層を形成する工程と、第1の基板における第1の主面上に絶縁物を形成する工程と、シリコンからなる第2の基板の第1の主面上に絶縁膜を形成する工程と、第1の基板における第1の主面上に形成した絶縁物と第2の基板における第1の主面上に形成した絶縁物とを接合する工程と、第1の基板の第2の主面側のシリコンを除去する工程と、第1の基板の第2の主面上の前記イオン注入により形成された絶縁膜を除去する工程とを有している。

また、シリコンからなる基板の第1の主面側にイオン注入することにより、第1の主面における所定のシリコン深さの下層に絶縁層を形成する工

程と、基板の第1の主面上に絶縁物を形成した後前記基板と略同一の厚さに多結晶シリコンを形成する工程と、基板の第2の主面側のシリコンを除去する工程と、基板の第2の主面上のイオン注入により形成された絶縁膜を除去する工程とを有している。

(作用)

イオン注入量を少なくすることにより、シリコン膜の結晶欠陥の発生を抑制すると共に、シリコンエッチングを停止させる絶縁層を形成する。

(実施例)

次に、本発明の実施例を説明する前に本発明を構成する主要な2つの知見について述べる。

まず、第3図は単結晶シリコン基板に酸素イオンを注入した場合の表面シリコン層の結晶欠陥密度とイオン注入量との関係を示した特性図である。ここで、酸素イオンの注入条件は、180 keV、注入時のウェハ温度は500℃である。そして、注入後窒素(N₂)雰囲気において温度1150℃で2時間の熱処理を行なった。

さて、第3図から明らかなように、欠陥密度は酸素イオン注入量に強く依存しており、酸化膜(SiO_2)が形成される注入量($2 \times 10^{17}/\text{cm}^2$)では $10^\circ \sim 10^\circ$ ケ/ cm^2 の欠陥が発生している。これに対し酸素イオンの注入量を1/2とすると欠陥密度は約4倍減少していることが判る(第1の知見)。

次に、第4図はシリコンエッティング時間とエッティング量の関係を示した特性図である。ここでは、第3図に示した酸素イオン注入($4 \times 10^{17}/\text{cm}^2$)を行なったシリコン基板にシリコン膜を約 $0.5 \mu\text{m}$ エピタキシャル成長させた試料用い、この試料を温度100℃のエッティング液(エチレンジアミン[17mℓ]、ピロカテコール[3g]、水[8mℓ]の組成比の混合液)でシリコンをエッティングした場合を示している。

さて、同図から明らかなように、エッティング時間が2分程度までは略直線的にエッティング量が増加している。しかし、その後はエッティング量 $0.8 \mu\text{m}$ でエッティングが停止していることが判る。

これは、酸素イオン注入によって形成された層(SiO_x :以下、酸素イオン注入層という)が上記のエッティング液において極めて高いシリコンエッティング停止層になっていることを示している(第2の知見)。

また、エッティングが停止した厚さが $0.8 \mu\text{m}$ であるのは、第5図に示す断面図のように、エピタキシャル成長した膜厚(x_0) $0.5 \mu\text{m}$ に酸素イオン注入時に表面に残されたシリコン膜厚(x_1) $0.3 \mu\text{m}$ を加えた値を示している。なお、同図において、51はシリコン基板、52は酸素イオン注入層、53は酸素イオン注入時に表面に残されたシリコン膜、54はエピタキシャル成長したシリコン層を示している。

次に、上記で述べた酸素イオン注入量が少ないとシリコン層における結晶欠陥が低減するという第1の知見、及びこの少ない酸素注入量により形成した酸素イオン注入層がシリコンのエッティング停止層となる第2の知見に基づいて実施例を説明する。

第1の実施例

第1図(a)～(f)は本発明に係る第1の実施例を示したSOI基板の製造方法の断面図である。以下、図に従って説明する。

まず、半導体主面が(100)面であるシリコン基板11の第1の主面側に酸素(O⁺)イオンを注入する(同図(a))。

このときのイオン注入条件は、エネルギー-180keV、 $4 \times 10^{17}/\text{cm}^2$ 、温度500℃とする。これにより、表面には約 $0.3 \mu\text{m}$ のシリコン層13が形成されると共に、その下層に酸素イオン注入層(SiO_x)12が形成される。そして、温度1150℃、窒素(N₂)雰囲気中で2時間アニールすることにより、注入時の欠陥を回復する。

次に、シリコン層13上に酸化膜(SiO_2)14及びBPSG膜(Boron-Phospho Silicate Glass)15を形成する(同図(b))。

一方、図示していないが第2の基板にあたるシリコン基板21の表面に酸化膜(SiO_2)22及びBPSG膜15を形成する。

そして、同図(c)に示すように、第1の基板にあたる各層を形成したシリコン基板(I層)と第2の基板にあたる各層を形成したシリコン基板(II層)とをそれぞれBPSG膜15を介して接着する(この部分をBPSG膜16という)。なお、この接着方法は公知の技術を用いることができる。

次に、第2の主面上のシリコン基板21を $10 \mu\text{m}$ 程度の膜厚まで機械的な研磨により薄層化する(同図(d))。

そして、同図(e)に示すように、薄層化したシリコン基板21を温度100℃に加熱したエッティング液(エチレンジアミン[19mℓ]、ピロカテコール[3g]、水[8mℓ]の組成比の混合液)により全面エッティングを行なう。

最後に、酸素イオン注入層12をドライエッティング、ウエットエッティング又は酸化性雰囲気中で完全に酸化物(SiO_2)に変質させた後、エッティングにより除去してSOI基板を得る。

第2の実施例

次に、第2図(a)～(e)は本発明に係る第2の実施例を示したSOI基板の製造方法の断面図である。

まず、第1図と同様に、半導体主面が(100)面であるシリコン基板11の第1の主面上に酸素(O⁺)イオンを注入する(同図(a))。このときのイオン注入条件は、エネルギー180 keV, $4 \times 10^{17} / \text{cm}^2$, 温度500℃とする。これにより、表面には約0.3 μmのシリコン層13が形成され、その下層には酸素イオン注入層(SiO_x)12が形成される。そして、温度1150℃、窒素(N₂)雰囲気中で2時間アニールすることにより、注入時の欠陥を回復する。

次に、シリコン層13上に酸化膜(SiO_x)14を形成し、その上層にシリコン基板11の厚さと略同一の多結晶シリコン層を堆積する(同図(b))。

そして、第2の主面上のシリコン基板11を10 μm程度の膜厚まで機械的な研磨により薄層化する(同図(c))。

シリコン層13の均一性、再現性を向上させることができる。

さらに、酸素イオン注入量がSIMOX法よりも少ないため、イオン注入時間が減少しLSI製造等におけるスループットの向上を図ることができる。

なお、上記実施例においては、酸素イオンの注入を説明したが、酸素イオンに限定されるものではなく窒素イオン等でもよい。また、2つの基板の接着にBPSG膜を使用したが、他の絶縁物(例えば、PSG或いはSiO_x, Si, N_x等)でもよい。

また、上記実施例では、シリコン層13の厚さを0.3 μmとして説明したが、これはイオン注入エネルギーを変えることにより自由に設定できる。また、イオン注入後表面にシリコンのエピタキシャル成長を行なうことにより、より厚いシリコン層を得ることができる。

また、本実施例では、酸素イオン注入後のアニールを直ちに行なったが、このアニールはシリコ

ン層13の結晶性回復のために行なったものであるため、アニールを行なう時期は上記実施例に限定されるものではない。

最後に、酸素イオン注入層12をドライエッティング、ウエットエッティング又は酸化性雰囲気中で完全に酸化物(SiO₂)に変質させた後、エッティングにより除去してSOI基板を得る。

このように上記2つの実施例におけるSOI基板の製造方法は、酸素イオン注入量を従来のSIMOX法に比べて少なくできるため、シリコン層13の結晶欠陥を減少させることができる。このため、このシリコン層13をSOI基板のシリコン層として使用できるので、SOI基板に形成したLSI等の歩留まり及び特性の向上を図ることができる。

また、シリコンエッティングの停止層として酸素イオン注入層12を使用しているため、シリコンエッティングにおいて高い選択性を得ることができ、

シリコン層13の結晶性回復のために行なったものであるため、アニールを行なう時期は上記実施例に限定されるものではない。

また、本実施例では、シリコンのエッティング液としてエチレンジアミン・ビロカテコール・水の混合液について説明したが、この組成液に限定されるわけではなく、例えばアルカリ系のKOH水溶液等も使用可能である。

(発明の効果)

以上説明したように本発明は、イオン注入量を従来のSIMOX法に比べて少なくできるため、シリコンの結晶欠陥を減少することができる。このため、このシリコンをSOI基板のシリコン層として使用できるので、SOI基板に形成したLSI等の歩留まり及び特性の向上を図ることができる。

また、シリコン除去の停止層としてイオン注入により形成した絶縁層を用いているため、高い選択性を得ることができ、SOI基板の均一性、再現性を向上させることができる。

S G、17…多結晶シリコン、21…シリコン基板(第2の基板)。

さらに、イオン注入量がSIMOX法より少ないとため、イオン注入時間が減少しLSI製造等におけるスループットの向上を図ることができる。

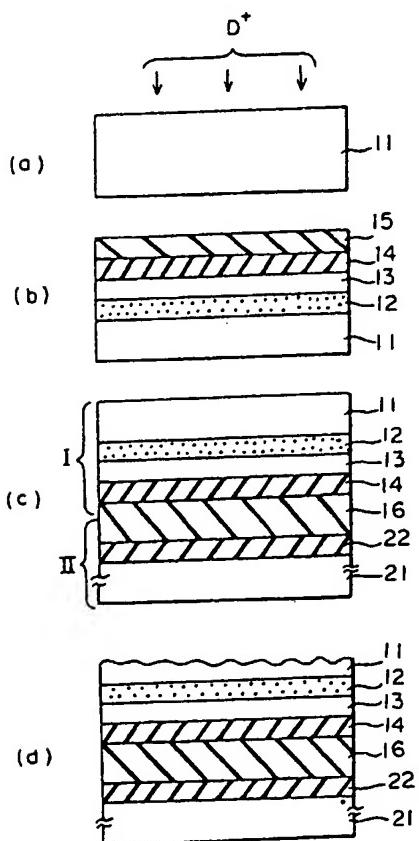
4. 図面の簡単な説明

第1図(a)～(f)は本発明に係る第1の実施例を示したSOI基板の製造方法の断面図、第2図(a)～(e)は本発明に係る第2の実施例を示したSOI基板の製造方法の断面図、第3図はシリコン層の結晶欠陥密度とイオン注入量との関係を示した特性図、第4図はシリコンエッチング時間とエッティング量の関係を示した特性図、第5図はイオン注入したシリコン基板を示す断面図、第6図(a)、(b)は従来のSIMOX法を用いたSOI基板の製造方法を示した断面図、第7図(a)、(b)は2つのシリコン基板を接着してSOI基板を製造する方法を示した断面図である。

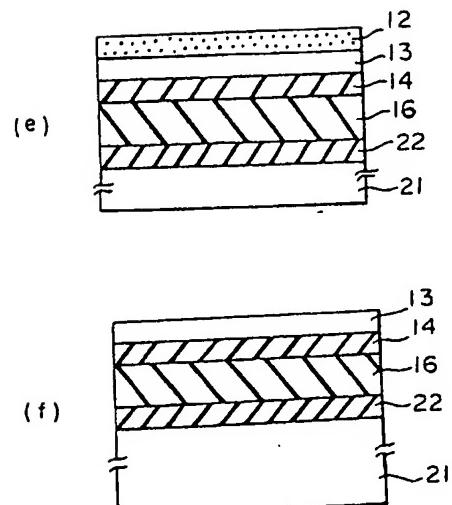
11…シリコン基板(第1の基板)、12…酸素イオン注入層、13…シリコン層、
14、22…酸化膜、15、16…BP

特許出願人 日本電信電話株式会社
代理人 山川政樹

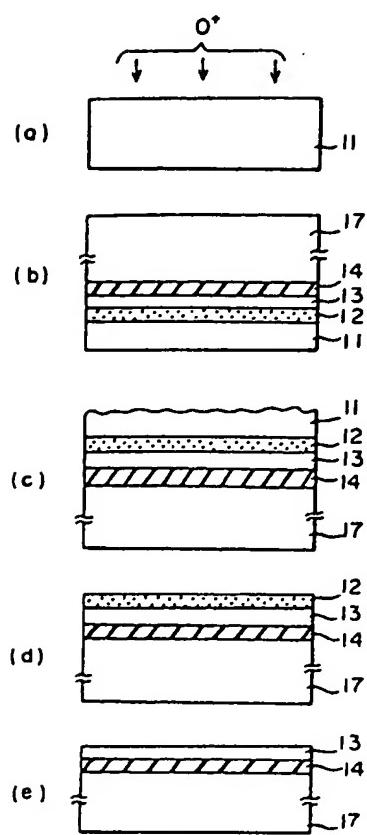
第1図



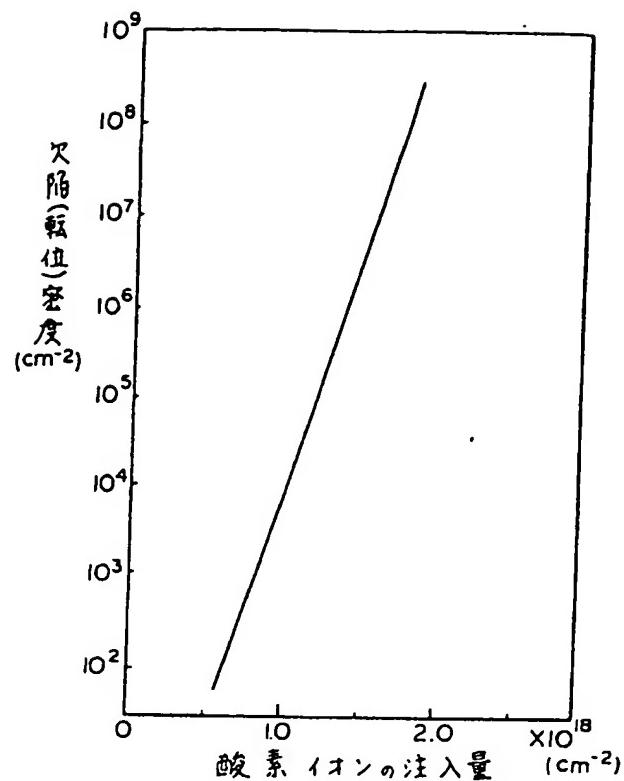
第1図



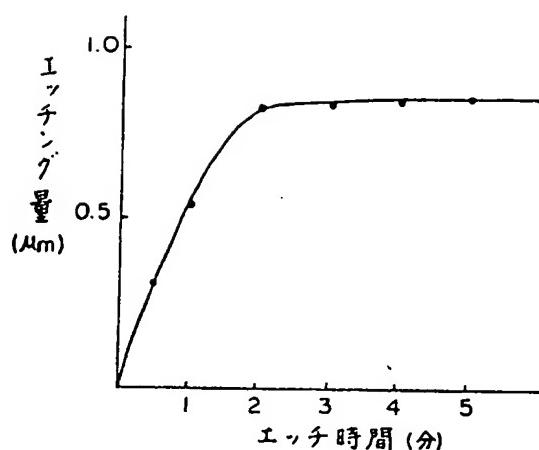
第2図



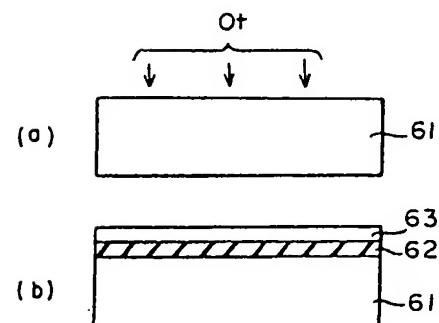
第3図



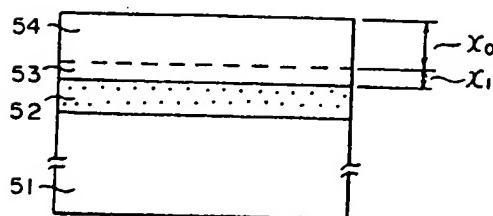
第4図



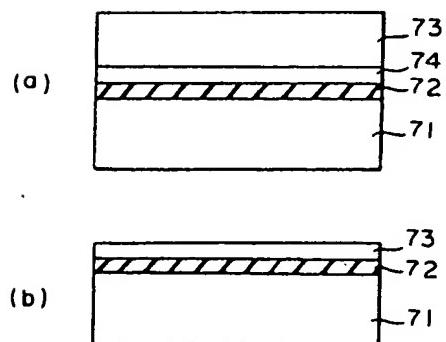
第6図



第5図



第7図



THIS PAGE BLANK (USPTO)